

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19) Organisation Mondiale de la Propriété
Intellectuelle
Bureau international



(43) Date de la publication internationale
27 septembre 2001 (27.09.2001)

PCT

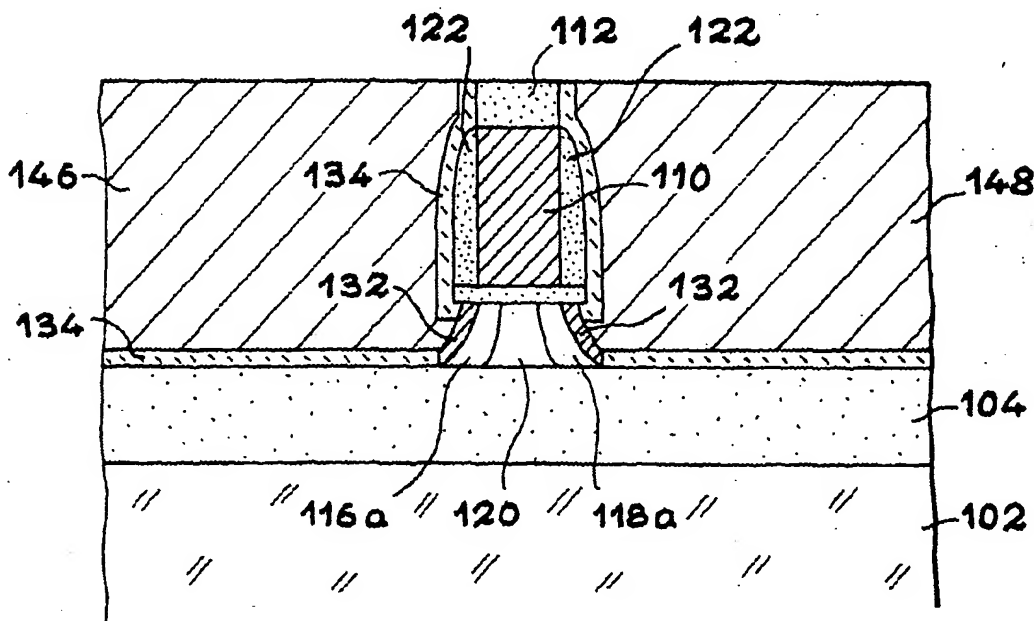
(10) Numéro de publication internationale
WO 01/71818 A1

- (51) Classification internationale des brevets⁷ :
H01L 29/786, 21/336
- (21) Numéro de la demande internationale :
PCT/FR01/00841
- (22) Date de dépôt international : 21 mars 2001 (21.03.2001)
- (25) Langue de dépôt : français
- (26) Langue de publication : français
- (30) Données relatives à la priorité :
00/03634 22 mars 2000 (22.03.2000) FR
- (71) Déposant (pour tous les États désignés sauf US) : COM-
MISSARIAT A L'ENERGIE ATOMIQUE [FR/FR];
31/33, rue de la Fédération, F-75752 Paris 15ème (FR).
- (72) Inventeur; et
(75) Inventeur/Déposant (pour US seulement) :
DELEONIBUS, Simon [FR/FR]; 40, allée des Giteaux,
La Chanteraie, F-38640 Claix (FR).
- (74) Mandataire : LEHU, Jean; Brevatome, 3, rue du Docteur
Lancereaux, F-75008 Paris (FR).
- (81) États désignés (national) : JP, US.
- (84) États désignés (régional) : brevet européen (AT, BE, CH,
CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT,
SE, TR).
- Publiée :
— avec rapport de recherche internationale

[Suite sur la page suivante]

(54) Title: METAL SOURCE AND DRAIN MOS TRANSISTOR, AND METHOD FOR MAKING SAME

(54) Titre : TRANSISTOR MOS A SOURCE ET DRAIN METALLIQUES, ET PROCEDE DE FABRICATION D'UN TEL TRANSISTOR



(57) Abstract: The invention concerns a MOS transistor comprising: a canal region (120) made of a semiconductor material whereon is mounted a gate structure, the gate structure comprising a gate (110) and insulating spacers (122) lining its flanks, so-called source and drain extension regions (116a, 118a), located respectively on either side of the canal, in direct contact with the semiconductor material of the canal, and arranged substantially beneath the gate structure, the extension regions being made of non-insulating material; metal source and drain regions (146, 148), respectively in contact with the drain and source extension regions and extending partly beneath the gate structure. The invention is useful for making integrated circuits.

[Suite sur la page suivante]

WO 01/71818 A1



En ce qui concerne les codes à deux lettres et autres abréviations, se référer aux "Notes explicatives relatives aux codes et abréviations" figurant au début de chaque numéro ordinaire de la Gazette du PCT.

(57) Abrégé : Transistor MOS comprenant : une région de canal (120) en un matériau semi-conducteur surmontée par une structure de grille; la structure de grille comprenant une grille (110) et des espaceurs isolants (122) tapissant ses flancs, des régions, dites régions d'extension de source et de drain (116a, 118a), situées respectivement de part et d'autre du canal, en contact direct avec le matériau semi-conducteur du canal, et disposées pour l'essentiel sous la structure de grille, les régions d'extension étant en un matériau non isolant, des régions de source et de drain (146, 148) en métal, respectivement en contact avec les régions d'extension de source et de drain et s'étendant en partie sous la structure de grille. Application à la fabrication de circuits intégrés.

**TRANSISTOR MOS A SOURCE ET DRAIN METALLIQUES, ET
PROCEDE DE FABRICATION D'UN TEL TRANSISTOR**

Domaine technique

5 La présente invention concerne un transistor de type MOS (Metal-Oxyde-Semi-conducteur) à source et à drain métalliques, et à des procédés de fabrication d'un tel transistor.

10 Elle trouve des applications dans les domaines de la micro-électronique notamment pour la fabrication de circuits intégrés, à transistors complémentaires ou non.

15 De façon particulière, l'invention vise des applications requérant une forte intégration des composants, une faible consommation en énergie ou une fréquence de fonctionnement élevée.

Etat de la technique antérieure

20 La figure 1 est une vue en coupe transversale schématique d'un transistor MOS classique, en fin d'un procédé d'intégration de ce transistor. Le procédé de fabrication est le même pour les transistors à canal n et les transistors à canal p hormis les étapes de dopage.

25 Le transistor de la figure 1 comprend un substrat 2 en silicium de type p si le transistor est à canal n.

 Sur ce substrat 2 sont formés deux zones 4 et 6 espacées l'une de l'autre.

30 Ces zones 4 et 6 sont des zones diffusées de type n^+ formant la source et le drain du transistor.

Comme on le voit sur la figure 1, les zones 4 et 6 sont respectivement prolongées par des zones 8 et 10 qui sont des zones diffusées de type n^- (moins dopées que les zones 4 et 6).

5 Les zones 8 et 10 constituent des extensions des zones de source et de drain sous la grille du transistor dont il sera question par la suite.

10 Le transistor de la figure 1 comprend aussi deux zones 12 et 14 qui s'étendent respectivement au-dessus des zones 4 et 6 et sensiblement au même niveau que les zones 8 et 10 (qui sont en face l'une de l'autre et seulement séparées l'une de l'autre par un faible intervalle de silicium de type p).

15 Ces zones 12 et 14 sont faites d'un siliciure métallique et sont auto-alignées par rapport à la grille du transistor et par rapport aux zones d'isolation de champ de ce transistor, dont il sera question par la suite.

20 Les zones 12 et 14 constituent les métallisations-shunts de la source et du drain du transistor.

25 Au-dessus de la zone 16 en silicium de type p qui sépare les zones 8 et 10 l'une de l'autre, se trouve une couche électriquement isolante 18 en silice qui s'étend également au-dessus de ces zones 8 et 10 et qui constitue l'isolant de grille du transistor.

Au-dessus de la couche 18 se trouve une couche 20 de silicium polycristallin.

30 Au-dessus de cette couche 20 se trouve une couche 22 qui est faite d'un siliciure métallique et constitue une métallisation-shunt.

La grille du transistor est formée par ces couches 20 et 22.

De plus, deux espaceurs électriquement isolants 24 et 26, par exemple en silice ou en nitrure de silicium, s'étendent de part et d'autre de l'empilement constitué par les couches 20 et 22, jusqu'à l'isolant de grille 18.

Le transistor représenté sur la figure 1 est électriquement isolé d'autres transistors identiques (non représentés), également formés sur le substrat 2, grâce à des zones d'isolation de champ 28 et 30 de type LOCOS.

L'ensemble de la structure ainsi obtenue est recouvert par une couche 32 isolante, en verre de silice dopé au phosphore et au bore.

Deux ouvertures traversent de part en part cette couche 32 et débouchent respectivement sur les zones 12 et 14.

Ces deux ouvertures sont remplies d'un métal par dépôt chimique en phase vapeur et constituent respectivement des contacts de source et de drain 34 et 36.

Le transistor de la figure 1 comprend aussi deux couches métalliques d'interconnexion 38 et 40 qui se trouvent à la surface de la couche 32 et prolongent respectivement les contacts 34 et 36.

Le contact de grille n'est pas représenté sur la figure 1.

La figure 2 est une vue en coupe transversale schématique d'un autre transistor MOS classique.

Il s'agit d'un transistor MOS sur SOI (silicium sur isolant) qui est représenté à la fin de son procédé d'intégration.

Le transistor de la figure 2 diffère de celui de la figure 1 par le fait que les couches 4 et 6 y sont beaucoup plus minces et que ces couches 4, 6 et la zone 42 en silicium, comprise entre ces dernières, reposent sur une couche 44 d'oxyde de silicium enterrée qui repose elle-même sur un substrat de silicium 46.

10 Les transistors MOS décrits ci-dessus présentent un certain nombre de limitations liées à leur caractéristiques électroniques et à leur encombrement sur le substrat.

L'une des principales limitations est constituée par la valeur de résistance d'accès au canal. Celle-ci est essentiellement due à la résistance propre des régions de source et de drain, de même qu'à la qualité des contacts source-canal et drain-canal.

La résistance d'accès au canal des transistors constitue une contrainte qui influe négativement, notamment sur les performances de vitesse de fonctionnement et de consommation des circuits qui en sont équipés.

La résistance d'accès peut être diminuée en augmentant la concentration de dopage des régions de source et de drain. Cependant, une trop forte concentration peut conduire à des phénomènes de perçage électrique et peut nuire à la longévité des transistors.

30 La résistance d'accès peut également être réduite en augmentant l'épaisseur du canal et des

régions de source et de drain. Dans ce cas également une difficulté apparaît dans le sens qu'une plus grande épaisseur de ces régions peut provoquer un perçage du transistor et des courants de fuite entre source et drain. Une épaisseur plus importante des régions de source et de drain conduit aussi à l'augmentation des capacités parasites source/substrat et drain/substrat.

Une faible profondeur du canal et des régions de source et de drain autorise une meilleure tenue du transistor mais engendre une résistance d'accès plus élevée.

Par ailleurs, la réalisation de contacts, tels que les contacts 34 et 36, visibles sur les figures 1 et 2, est tributaire de la précision d'alignement des outils de fabrication utilisés. Cette contrainte nuit à l'intégration forte des transistors et à la réduction de leur taille.

La figure 3 montre un autre type de transistors MOS connus.

Ce type de transistor comprend une structure de grille 57 comparable à celle des figures 1 et 2 déjà décrites. Celle-ci surmonte un canal très fin 95 défini dans un substrat 50.

De part et d'autre de la structure de grille on observe une source et un drain métalliques 92, 94. Les source et drain sont auto-alignés sur la structure de grille 57 et viennent s'étendre en partie sous celle-ci. La référence 58 désigne une couche d'arrêt de gravure ou de polissage qui sépare la source du drain.

La source et le drain sont par ailleurs séparés du substrat 50 par une couche isolante 84. Des

extensions 88 et 90 de la couche isolante viennent rejoindre la couche d'isolant de grille et séparent respectivement les source et drain 92, 94 de la région de canal 95.

5 Les extensions 88 et 90 sont suffisamment minces pour permettre le passage de porteurs de charges, par effet tunnel, de la source au drain, à travers le canal afin d'y favoriser le phénomène de blocage de Coulomb.

10 Le caractère métallique des source et drain, de même que leur extension partielle sous la structure de grille, tendent à réduire la résistance d'accès, comparativement aux transistors des figures 1 et 2.

De plus, l'auto-alignement des source et drain
15 sur la structure de grille améliore la compacité du transistor et favorise sa miniaturisation.

Une description plus détaillée d'un transistor conforme à la figure 3 peut être trouvée dans le document (1) dont les références sont précisées à la
20 fin de la description. D'autres documents illustratifs d'un art antérieur ou des technologies de fabrication mises en oeuvre sont également référencés à la fin de la description.

25 Exposé de l'invention

L'invention a pour but de proposer un transistor MOS qui présente des performances améliorées par rapport aux transistors décrits précédemment, et qui ne fasse pas appel à une conduction par effet
30 tunnel.

Un autre but est de proposer un tel transistor particulièrement compact et susceptible d'une forte intégration dans le cadre de la réalisation de circuits.

5 Un autre but encore est de proposer un tel transistor qui ait une résistance d'accès particulièrement faible et qui soit particulièrement résistant aux phénomènes de percement ou de fuites électriques.

10 L'invention a également pour but de proposer des procédés de réalisation d'un tel transistor.

Pour atteindre les buts ci-dessus, l'invention a plus précisément pour objet un transistor MOS comprenant :

- 15 - une région de canal en un matériau semi-conducteur surmontée par une structure de grille, la structure de grille comprenant une grille et des espaceurs isolants tapissant les flancs de la grille,
- des régions, dites régions d'extension de source et
20 de drain, situées respectivement de part et d'autre du canal, en contact direct avec le matériau semi-conducteur du canal, et disposées pour l'essentiel sous la structure de grille, les régions d'extension étant en un matériau non isolant,
- 25 - des régions de source et de drain, en métal, respectivement en contact avec les régions d'extension de source et de drain et s'étendant en partie sous la structure de grille.

Les régions d'extension de source et de drain
30 sont en un matériau semi-conducteur ou conducteur ou en

l'un de leurs alliages ou composés, c'est-à-dire, comme indiqué ci-dessus, en un matériau non isolant.

Par ailleurs, les régions d'extension de source et de drain s'étendent de préférence au moins en partie sous la grille, de façon à optimiser le fonctionnement du transistor.

Le transistor de l'invention se distingue donc fondamentalement du transistor de la figure 3 et ne fait pas appel à l'effet tunnel.

Le transistor de l'invention fonctionne comme un dispositif à canal d'inversion de surface ou enterré alors que le dispositif de la figure 3 est un dispositif MOS à puits quantique utilisant l'effet de blocage de Coulomb dans tout le volume semi-conducteur sous la grille.

Le transistor de l'invention peut être utilisé comme un dispositif amplificateur de tension.

Le dispositif de la figure 3 peut être utilisé comme un dispositif mémoire ou analogique de comptage des électrons.

Le transistor peut comporter par ailleurs une couche d'isolant, prévue pour l'isoler électriquement d'une partie massive d'un substrat de support sur lequel il est réalisé. Ceci est le cas notamment lorsque le transistor est réalisé sur un substrat de type SOI (Silicon On Insulator, silicium sur isolant) dans lequel une couche enterrée d'oxyde de silicium constitue la couche isolante.

La couche isolante permet en particulier d'éviter des courants parasites vers la partie massive du substrat, et permet de mieux isoler électriquement

les régions de source et de drain. Elle limite également leur épaisseur.

Selon une autre possibilité, le transistor peut comprendre une couche d'isolant discontinue, séparant
5 l'ensemble constitué par les régions de source et de drain et les régions d'extension de source et de drain, d'une partie massive du substrat. Dans ce cas, le canal peut rester en contact électrique avec ladite partie massive. L'ouverture vers le substrat massif sous-
10 jacent permet alors d'évacuer les courants parasites engendrés sous la grille à l'interface avec le drain.

L'invention a également pour objet un procédé de fabrication sur un substrat d'un transistor MOS comprenant :

- 15 - une région de canal en un matériau semi-conducteur, surmontée par une structure de grille, la structure de grille comprenant une grille et des espaceurs isolants tapissant des flancs de la grille,
- des régions, dites régions d'extension de source et
20 de drain, en un matériau non isolant, situées respectivement de part et d'autre du canal, en contact direct avec le matériau semi-conducteur du canal et s'étendant pour l'essentiel sous la structure de grille,
- 25 - des régions de source et de drain, en métal, respectivement en contact avec les régions d'extension de source et de drain.

Le procédé comporte au moins une étape de gravure du substrat pour définir une partie du
30 transistor sélectionnée parmi, d'une part, la région de canal, et d'autre part, les régions d'extension de

source et de drain ; la gravure s'étendant en partie sous la structure de grille.

Dans une première mise en oeuvre particulière du procédé, la gravure peut être mise à profit pour
5 fixer la longueur de l'ensemble formé par le canal et des régions d'extension de source et de drain.

La longueur est considérée ici selon une direction source-drain.

Dans ce cas, la gravure concerne
10 essentiellement les régions d'extension.

Le procédé de l'invention peut alors comporter, plus précisément, les étapes suivantes :

- la formation sur le substrat semi-conducteur de la grille, séparée du substrat par une couche d'isolant
15 de grille,
- l'implantation d'impuretés dopantes dans le substrat, à une première dose, en utilisant la grille comme masque d'implantation, pour former de part et d'autre de la grille des premières zones
20 dopées,
- la formation, sur les flancs de la grille, des espaceurs latéraux isolants, recouvrant respectivement une partie des premières zones dopées, pour constituer la structure de grille,
- 25 - la gravure du substrat pour éliminer des zones dopées non protégées par la structure de grille et éliminer une partie des premières zones dopées sous la structure de grille, une partie restante des premières zones dopées, préservées lors de la
30 gravure, constituant les régions d'extension de source et de drain,

- la formation des source et drain, comprenant le dépôt d'un métal qui vient respectivement en contact avec les régions d'extension de source et de drain sous la structure de grille.

5 La gravure peut avoir lieu selon une technique de gravure isotrope quelconque de façon à éliminer une partie de substrat sous la structure de grille.

 Toutefois, une telle gravure nécessite le contrôle précis de son arrêt pour éviter d'éliminer
10 complètement le semi-conducteur sous la grille. Ce contrôle est également nécessaire, plus simplement, pour ne pas trop entamer les régions d'extension de source et de drain.

 Aussi, pour garantir un contrôle plus précis de
15 la gravure, on peut procéder, après la formation des espaceurs latéraux, à un second dopage à une dose supérieure à la dose du premier dopage en utilisant la structure de grille comme masque d'implantation. Ce dopage conduit à la formation de deuxièmes zones
20 dopées, s'étendant de part et d'autre de la structure de grille et partiellement sous la structure de grille. On effectue ensuite une gravure sélective des deuxièmes zones dopées, en préservant une partie des premières zones dopées sous la structure de grille, non atteinte
25 par le second dopage.

 La gravure sélective fait appel ici à une différence de vitesse de gravure entre des matériaux différemment dopés. Un dopage à plus forte dose rend en effet le matériau semi-conducteur plus sensible aux
30 agents de gravure mis en oeuvre.

Le choix des agents de gravure et des doses d'implantation du second dopage permet de contrôler ainsi de façon plus précise la gravure. Il permet également de contrôler la dimension des régions d'extension de source et de drain préservées lors de la gravure.

Le deuxième dopage est par exemple un dopage de type p^+ effectué par implantation de germanium et/ou de bore. Il peut aussi être effectué en implantant du carbone.

Par ailleurs, la gravure peut être suivie par la formation d'une couche de siliciure de métal sur une partie des régions d'extension de source et de drain. Cette couche est formée respectivement sur les parties mises à nu par la gravure.

De façon concomitante ou non à la formation du siliciure, on peut en outre former une couche d'accrochage en dehors des régions d'extension de source et de drain.

La couche d'accrochage peut être une couche métallique, nitrurée en tout ou partie, et a pour rôle de garantir un bon contact mécanique entre le métal des régions de source et de drain et la structure préalablement formée.

Une couche de nitrure de titane permet, par exemple, de garantir un meilleur contact électrique entre le métal des régions de source et de drain et le semi-conducteur des régions d'extension.

Selon une deuxième possibilité de mise en oeuvre du procédé de l'invention, constituant une

variante par rapport à la mise en oeuvre décrite ci-dessus, le procédé peut comprendre :

- la formation sur un substrat d'une structure de grille comprenant une grille et des espaceurs latéraux isolants, tapissant la grille,
- la gravure d'une partie du substrat de part et d'autre de la structure grille, et partiellement sous la structure de grille, en préservant sous la grille une région du substrat formant la région de canal,
- la mise en place de matériau sur des flancs opposés de la région de canal pour former respectivement les régions d'extension de source et de drain,
- la formation des source et drain, comprenant le dépôt d'un métal en contact avec les régions d'extension de source et de drain.

On entend par mise en place d'un matériau sur les flancs du canal aussi bien une croissance de matériau, telle qu'une épitaxie par exemple, qu'un simple dépôt de matériau. La formation des régions d'extension peut comporter, outre la mise en place de matériau, un traitement thermique. Ces aspects seront décrits plus en détail dans la suite du texte.

Selon la deuxième possibilité de mise en oeuvre du procédé indiquée ci-dessus, la gravure ne fixe pas les dimensions des régions d'extension de source et de drain mais fixe simplement la largeur du canal dans la direction source-drain.

Ainsi, seul le canal est réalisé dans le matériau semi-conducteur du substrat qui porte le transistor. Les régions d'extension, formées

postérieurement à la gravure, par croissance, peuvent donc être en un matériau différent, choisi librement.

Pour réaliser les régions d'extension de source et de drain, on peut faire croître par exemple un
5 matériau choisi parmi Si, SiGe_xC_y, un métal ou un oxyde de métal. Le matériau, lorsqu'il s'agit d'un semi-conducteur, peut en outre être dopé.

En particulier, pour former les régions d'extension de source et de drain, on peut faire
10 croître un matériau dopé présentant un type de conductivité identique à un type de conductivité de la région de canal et présentant une concentration d'impuretés dopantes supérieure à une concentration d'impuretés dopantes de la région de canal.

15 Selon une variante, on peut également réaliser les régions d'extension de source et de drain par formation sur les flancs du canal de régions de siliciure de métal. Les régions de siliciure, qui constituent les régions d'extension de source et de
20 drain, sont formées, par exemple, par dépôt d'un métal puis par un traitement thermique pour provoquer l'interdiffusion du métal avec le silicium du canal.

Tout comme dans le premier mode de réalisation, on peut graver le substrat de façon sélective. Dans ce
25 cas, on effectue avant la gravure une implantation d'impuretés dans le substrat de façon à doper une couche du substrat s'étendant de part et d'autre de la structure de grille et s'étendant partiellement sous la structure de grille. On ne préserve ainsi du dopage
30 qu'une région destinée à former la région de canal.

L'implantation est suivie par une gravure sélective pour éliminer la couche ainsi dopée du substrat.

La formation additionnelle d'une couche de contact (siliciure) ou d'une couche d'accrochage peut
5 être envisagée de la façon décrite précédemment.

D'autres caractéristiques et avantages de l'invention ressortiront mieux de la description qui va suivre, en référence aux figures des dessins annexés. Cette description est donnée à titre purement
10 illustratif et non limitatif.

Brève description des figures

- La figure 1, déjà décrite, est une coupe transversale schématique d'un transistor MOS, de type
15 connu, formé sur un substrat semi-conducteur massif.

- La figure 2, déjà décrite, est une coupe transversale schématique d'un transistor MOS comparable à celui de la figure 1, formé sur un substrat de type silicium sur isolant (SOI).

20 - La figure 3, déjà décrite, est une coupe transversale schématique d'un autre transistor MOS de type connu, à source et drain métalliques.

- Les figures 4 à 8 sont des coupes transversales schématiques d'un substrat de type SOI sur lequel on réalise un transistor conforme à
25 l'invention. Elles illustrent des étapes successives d'un procédé de fabrication du transistor.

- Les figures 9 à 13 sont des coupes transversales schématiques d'un substrat de type SOI sur lequel on réalise un transistor conforme à
30 l'invention. Elles illustrent des étapes successives

d'un procédé de fabrication du transistor constituant une variante du procédé des figures 4 à 8.

- La figure 14 est une coupe transversale schématique d'un transistor conforme à l'invention
5 réalisé sur un substrat semi-conducteur massif.

- La figure 15 est une coupe transversale schématique d'un transistor, conforme à l'invention, réalisé sur un substrat semi-conducteur massif et constituant une variante par rapport au transistor de
10 la figure 14.

- Les figures 16 à 18 sont des coupes transversales schématiques illustrant une autre variante du procédé de réalisation d'un transistor conforme à l'invention, sur un substrat de type
15 silicium sur isolant.

- La figure 19 est une coupe transversale schématique illustrant la fabrication du transistor de la figure 18 sur un substrat massif.

- La figure 20 est une coupe schématique
20 illustrant une opération de gravure sous la grille lors d'une étape de fabrication d'un transistor conforme à l'invention, constituant une variante par rapport à la figure 10.

- Les figures 21 et 22 montrent en coupe
25 schématique deux possibilités de réalisation d'un transistor conforme à l'invention à partir de la structure de la figure 20.

- La figure 23 montre en coupe schématique une autre possibilité encore de réalisation d'un transistor
30 conforme à l'invention, dans lequel des régions

d'extension de source et de drain sont définies par gravure.

5 Description détaillée de modes de mise en oeuvre de l'invention

Dans la description qui suit, des parties identiques, similaires ou équivalentes apparaissant sur différentes figures sont repérées avec les mêmes références. Ces références sont toutefois sans lien
10 avec celles des figures 1 à 3 déjà décrites dans la partie introductive.

Dans une première partie, on décrira et illustrera la fabrication d'un transistor MOS sur un substrat de type SOI. Les étapes de fabrication sont
15 cependant sensiblement les mêmes sur un substrat massif en un semi-conducteur quelconque.

Le substrat 100 SOI comprend, comme le montre la figure 4, une partie massive 102 de silicium, une couche enterrée et isolante 104 d'oxyde de silicium, et
20 une couche superficielle 106 de silicium.

La couche superficielle 106 est une couche mince, présentant une épaisseur comprise entre 5 et 1000 nm, par exemple.

Une première étape du procédé comprend la
25 formation sur la couche mince superficielle 106 d'une grille 110 de transistor. Celle-ci peut être métallique ou, dans le cas de l'exemple décrit, en silicium polycristallin, par exemple. Au sommet de la grille 110, on trouve une couche 112 en un matériau isolant
30 électrique tel que du nitrure de silicium. Le rôle de cette couche apparaîtra ultérieurement dans la

description. Enfin, on observe sous la grille une couche 114 d'isolant de grille, par exemple en oxyde de silicium.

La fabrication de la grille a lieu selon des
5 procédés de lithographie bien connus dans le domaine de la micro-électronique et n'est donc pas précisée ici.

Une première implantation d'impuretés dopantes utilisant la grille comme masque d'implantation permet de former de part et d'autre de la grille des régions
10 dopées 116, 118. Celles-ci délimitent sous la grille une région de canal 120. Les régions dopées sont elles-mêmes formées dans la couche superficielle 106 et sont délimitées par la couche enterrée 104. Les termes "de part et d'autre de la grille" sont compris en référence
15 à un côté de la grille tourné vers la source et un côté de la grille tourné vers le drain. De plus, l'homme du métier comprendra que les éléments formés de part et d'autre de la grille sont mutuellement isolés entre eux.

20 Le choix des matériaux dopants utilisés pour former les régions dopées 116, 118 conditionne le type de conductivité des régions d'extension de source et de drain. Ces régions sont mises en forme ultérieurement.

De façon générale, pour un transistor à canal
25 n, on implante des impuretés conduisant à la formation de régions de type n. Pour un transistor à canal p, on forme des régions de type p.

La concentration d'impuretés des régions dopées 116, 118 est supérieure de préférence à celle de la
30 région de canal 120.

Le dopage du canal peut avoir lieu en utilisant soit initialement un substrat dopé soit en effectuant un dopage préliminaire avant la formation de la grille.

La concentration d'impuretés du canal est par exemple de 10^{15} à 5.10^{18} at/cm³ et celle des régions implantées 116, 118 de l'ordre de 10^{18} à 10^{20} at/cm³.

La concentration en impuretés dopantes des régions 116, 118 peut être uniforme, ou graduelle en augmentant avec la distance par rapport à la région de canal.

On observe également sur la figure que les interfaces des régions dopées 116, 118 avec le canal 120, ne coïncident pas exactement à l'aplomb de la grille mais se situent légèrement sous la grille. Ce décalage peut être provoqué par une diffusion des impuretés dopantes ou en effectuant, comme le montrent des flèches, une implantation qui n'est pas perpendiculaire à la surface du substrat.

Après l'implantation, des espaceurs latéraux isolants 122 sont formés sur les flancs de la grille. Leur formation comprend par exemple le dépôt d'un matériau isolant tel que de l'oxyde ou du nitrure de silicium, suivi d'une gravure anisotrope de ce matériau. Les espaceurs peuvent être simples ou doubles (à deux couches).

L'ensemble formé par la grille 110 et les espaceurs 122 est désigné ci-après par "structure de grille" et porte la référence 130. Eventuellement, avant d'équiper la grille des espaceurs isolants, celle-ci peut subir une oxydation superficielle pour consolider l'isolant de grille (oxyde) et le rendre

moins sensible à des traitements thermiques ou chimiques accompagnant les étapes opératoires qui suivent.

La figure 5 montre une deuxième implantation d'impuretés dans la couche mince superficielle 106 du substrat en utilisant l'ensemble de la structure de grille 130 comme masque d'implantation. Le masque d'implantation est donc plus large que celui utilisé précédemment.

10 Tout comme la première implantation, la deuxième implantation est exécutée de préférence avec une énergie et une dose suffisantes pour atteindre la couche superficielle sur toute son épaisseur.

La deuxième implantation permet de former dans la couche mince des deuxième régions dopées 126, 128 qui s'étendent partiellement sous la structure de grille, en l'occurrence sous les espaceurs 122. Là encore, comme le montrent symboliquement des flèches, l'implantation peut avoir lieu avec un léger angle (par rapport à la normale au substrat).

20 Les parties des premières régions dopées 116, 118 non atteintes par le deuxième dopage sont respectivement repérées avec les références 116a et 118a.

25 L'implantation est par exemple une implantation de bore à forte dose de 10^{14} à 10^{16} at/cm² pour former des régions 126, 128 de type p⁺. Elle peut être remplacée ou renforcée par une implantation de germanium ou de carbone pour former des régions 126, 30 128 de type SiGe ou SiC. L'implantation est, de façon classique, suivie d'un recuit.

Le type de dopants mis en oeuvre lors de la seconde implantation n'est pas lié à celui de la première implantation.

Le but de la deuxième implantation est
5 essentiellement d'obtenir un matériau susceptible d'être gravé sélectivement par rapport aux régions dopées 116a, 118a non atteintes par la deuxième implantation.

La figure 6 montre le résultat d'une gravure
10 chimique isotrope sélective mise en oeuvre pour éliminer les deuxièmes régions implantées 126, 128. La gravure est sélective par rapport à la couche enterrée 104 de SiO_2 , par rapport à l'isolant de grille et les espaceurs (SiO_2 ou Si_3N_4) et par rapport aux régions
15 dopées 116a, 118a préservées de l'implantation.

Pour ces régions il s'agit, par exemple, d'une sélectivité de gravure de $\text{Si}(\text{p}^+)$ par rapport à $\text{Si}(\text{n})$ ou $\text{Si}(\text{p})$, ou d'une sélectivité de gravure de SiGe , SiC par rapport à Si .

20 Les régions dopées 116a, 118a, qui ne sont dopées qu'une seule fois, constituent les régions d'extension de source et de drain et sont ainsi désignées dans la suite du texte.

La figure 7 montre la formation d'une couche de
25 contact 132 en siliciure de métal sur les flancs libres des régions d'extension de source et de drain. Elle montre également la formation d'une couche d'accrochage 134, métallique, sur le restant de la structure, c'est-à-dire sur la structure de grille et sur la couche
30 enterrée 104 d'oxyde de silicium, mise à nu par la gravure. A titre d'exemple, les couches de contact et

d'accrochage peuvent être respectivement en siliciure de titane $TiSi_2$ et en nitrure de titane TiN .

La couche métallique d'accrochage peut être entièrement ou partiellement nitrurée pour éviter son oxydation. Elle est déposée de préférence sous atmosphère d'azote.

Les couches d'accrochage 134 et de contact 132 peuvent être formées par un dépôt de métal suivi par un recuit.

La figure 8 montre la formation d'une source 146 et d'un drain 148 en un métal tel que le tungstène (W).

Le métal est déposé selon une technique de dépôt chimique conforme en phase vapeur (CVD) puis est plané pour le rendre affleurant au sommet de la structure de grille.

Le planage, opéré par exemple par un polissage mécano-chimique, est arrêté sur la couche isolante 112 (utilisée comme couche d'arrêt).

Il peut être suivi éventuellement d'une opération de gravure, non visible dans le plan des figures, pour séparer et mettre en forme le métal des régions de source et de drain en dehors de la zone comportant le transistor.

Dans la zone du transistor, les régions de source et de drain sont séparées et isolées par la structure de grille, par le canal 120 et par la couche isolante 112.

On peut observer sur la figure 8 que le métal des source et drain est en contact avec les régions d'extension de source et de drain par l'intermédiaire

des couches de contact 132 et s'étend donc partiellement sous la structure de grille.

Une telle construction permet de réduire considérablement la résistance d'accès au canal. La
5 résistance d'un matériau dépend notamment du nombre de porteurs (électrons) présents par unité de volume. Même très dopés, les semi-conducteurs présentent un nombre d'électrons de conduction inférieur à 10^{21}cm^{-3} , alors qu'il est supérieur à 10^{22}cm^{-3} pour les métaux.

10 En outre, pour le transistor de l'invention, aucun isolant ne sépare les régions d'extension de source et de drain du métal des source et drain.

Les figures 9 à 13 décrites ci-après illustrent une autre possibilité de réalisation d'un transistor
15 conforme à l'invention. Des étapes opératoires permettant de former des parties identiques à celles des figures précédentes, ne sont pas décrites de façon détaillée. On pourra se reporter au texte qui précède.

Comme le montre la figure 9, une implantation
20 d'impuretés, signifiée par des flèches, est réalisée en utilisant la structure de grille 130 comme masque. Cette implantation n'est pas prévue pour contrôler l'état de dopage d'éventuelles régions d'extension de source ou de drain. De façon comparable à la deuxième
25 implantation décrite en référence à la figure 5, l'implantation d'impuretés est ici une implantation à forte dose permettant de définir des régions dopées sensibles à une gravure sélective. Le dopage effectué est par exemple un dopage au germanium, ou au carbone,
30 ou au bore, il peut être suivi d'un traitement thermique.

Par analogie avec la figure 5, les régions dopées sont repérées avec les références 126, 128.

Une implantation selon un angle, avec rotation du substrat, permet de former des régions 126, 128 qui
5 s'étendent en partie sous la structure de grille, voire sous la grille 122 elle-même.

Une région mince de la couche superficielle 106 du substrat, située sous la grille, est préservée de l'implantation et sépare les régions dopées 126, 128.
10 Il s'agit de la région de canal 120.

La figure 10 montre le résultat d'une gravure sélective des régions dopées. La gravure du matériau dopé $\text{Si}(p^+)$, SiGe ou SiC est sélective par rapport au matériau semi-conducteur du canal, faiblement dopé n ou
15 p (voire intrinsèque). Elle est également sélective par rapport à l'oxyde de silicium de la couche enterrée et par rapport aux matériaux enveloppant la grille.

On observe que la structure de grille n'est maintenue que par la seule région de canal 120 dont les
20 flancs latéraux sont mis à nu par la gravure.

La figure 11 montre la formation des régions d'extension de source et de drain sur le canal. Celles-ci sont formées par une croissance sélective telle qu'une épitaxie par exemple.

25 Le matériau utilisé peut être un métal, un semi-conducteur ou un composé tel que SiGe_xC_y par exemple.

Le choix du matériau est effectué de façon à garantir la croissance sélective et établir un contact
10 redresseur avec le matériau du canal (contact Schottky).

Dans l'exemple illustré, le matériau de la couche enterrée 104, le matériau de l'isolant de grille 114 et le matériau des espaceurs latéraux 122 est de l'oxyde de silicium. Ainsi, une épitaxie de silicium permet naturellement de faire croître les régions d'extension 116b, 118b de façon sélective sur le canal (en silicium).

Lorsque le canal est préalablement dopé, de type p, on fait préférentiellement croître du silicium de type n^+ . Sur un canal de type n on fait préférentiellement croître du silicium de type p^+ .

Lorsque le matériau utilisé pour les régions d'extension de source et de drain est du métal, on peut utiliser, par exemple, du platine ou de l'oxyde de ruthénium ou de l'iridium, lorsque le canal est du type n (transistor MOS à canal p), et du niobium, de l'aluminium, du molybdène ou du titane lorsque le canal est du type p (transistor MOS à canal n).

La formation de facettes sur les régions d'extension de source et de drain est un phénomène lié à la croissance du matériau.

La figure 12 montre la formation d'une couche de contact (siliciure de métal) 132 sur les régions d'extension de source et de drain et la formation d'une couche d'accrochage métallique sur la structure de grille et les parties affleurantes de la couche enterrée 104. La couche de contact peut être du type MSi_2 ou M/MSi_2 où M désigne un métal tel que le titane, le cobalt ou le nickel.

La figure 13 montre la formation des régions de source et de drain 146, 148 par dépôt, planage et

gravure d'un métal. On peut se reporter à ce sujet à la description relative à la figure 8.

Lorsque les régions d'extension de source et de drain 116b, 118b sont en un métal, le métal des source et drain peut être déposé directement contre ces régions sans former au préalable une couche de siliciure. Il est cependant possible de prévoir un métal d'accrochage supplémentaire.

La description des figures qui précède concerne plus particulièrement des transistors MOS réalisés sur des substrats de type silicium sur isolant (SOI). Les transistors peuvent cependant être réalisés également sur un substrat massif tel qu'un substrat de silicium ou autres semi-conducteurs III-V à condition d'utiliser une technique de report de couche mince (SMART-CUT, par exemple).

Les figures 14 et 15 montrent respectivement des transistors obtenus selon les procédés décrits précédemment sur un substrat massif de silicium. On peut donc se référer à la description qui précède.

On observe qu'une couche d'oxyde de silicium 105 est située sous les source et drain et s'étend sensiblement jusque sous le canal 120.

Contrairement à la couche enterrée d'oxyde de silicium 104, visible sur les figures précédentes, la couche d'oxyde 105 ne préexiste pas à la formation du transistor.

La couche d'oxyde 105 peut être formée par une oxydation sélective enterrée; on peut se reporter à ce sujet à la description du document (1) déjà évoqué.

Lors de l'obtention de la couche d'oxyde par oxydation, la structure de grille peut servir de masque d'implantation. Dans ce cas, qui est illustré par les figures, la région de canal 120 n'est pas séparée de la
5 partie massive du substrat et est protégée par une couche de nitrure de silicium. Une telle structure permet l'évacuation des charges parasites engendrées près de l'interface isolant de grille/drain.

En l'absence de la couche d'oxyde enterrée,
10 lors de la gravure, la profondeur de la gravure peut être contrôlée en agissant sur la profondeur d'implantation d'impuretés dopantes lors de la définition des zones dopées devant être sélectivement éliminées.

15 Sur la figure 14, une forme d'arrondi des flancs des régions d'extension de source et de drain 116a, 118a montre que ces régions ont été définies par une gravure sélective et isotrope, c'est-à-dire selon la première possibilité de mise en oeuvre du procédé de
20 l'invention.

Sur la figure 15, en revanche, les facettes des régions d'extension de source et de drain 116b, 118b sont le signe d'une formation par croissance sélective.

On décrit à présent, en référence aux figures
25 16, 17 et 18 une autre variante du procédé de réalisation d'un transistor conforme à l'invention. Selon cette autre variante, les régions d'extension de source et de drain sont formées par des zones de siliciure formées directement sur les flancs du canal.

30 Les premières étapes du procédé sont sensiblement les mêmes que celles qui permettent

d'obtenir la structure déjà décrite en référence aux figures 9 et 10. Ces étapes ne sont par conséquent pas reprises ici. Comme le montre la figure 16, on dépose une couche de métal 232 qui recouvre les flancs de la région de canal, préalablement mise à nu par la gravure. La couche de métal 232 recouvre aussi la structure de grille 130 et la couche d'oxyde enterrée 104, également mise à nu par la gravure.

Le métal est choisi pour permettre une siliciuration sélective avec le silicium de la région de canal 120, afin de former des régions d'extension de source et de drain siliciurées. De plus, le métal est choisi pour former des régions d'extension constituant des contacts redresseurs Schottky.

A titre d'exemple, pour des transistors PMOS, avec un canal de type p, le métal peut être choisi parmi le platine, l'iridium ou l'oxyde de ruthénium.

Pour des transistors NMOS, avec un canal de type n, le métal peut être choisi parmi le niobium, l'aluminium, le titane, l'erbium par exemple.

La figure 17 montre une étape de siliciuration sélective lors de laquelle on soumet la structure à un traitement thermique avec un budget thermique suffisant pour provoquer l'interdiffusion partielle du métal déposé avec le silicium du canal 120.

Ce traitement thermique permet d'obtenir des régions d'extension de source et de drain 116c, 118c sous la forme de zones siliciurées qui s'étendent en partie dans la région de canal telle que définie initialement par gravure.

On observe en outre que les régions d'extension de source et de drain 116c, 118c s'étendent, tout au moins en partie, sous la grille 110.

La partie de la couche de métal 232 s'étendant
5 en dehors des flancs de la zone de canal ne subit pas de siliciuration dans la mesure où elle n'est pas en contact avec du silicium. Dans ces régions, selon le métal choisi, celui-ci peut soit rester inchangé au cours du traitement thermique, soit subir, par exemple,
10 une nitruration. Ceci est le cas, par exemple, lorsque le métal est du titane et que le traitement thermique a lieu sous atmosphère d'azote.

Le titane, en contact de l'atmosphère d'azote subit une nitruration superficielle. La nitruration a
15 lieu aussi bien en dehors de la partie de la couche de titane qui recouvre les flancs de canal, que sur cette partie.

La partie du métal nitrurée, ou de façon plus générale la partie du métal qui ne participe pas à la
20 siliciuration, c'est-à-dire à la formation des régions d'extension de source et de drain, peut constituer une couche d'accrochage pour les régions de source et de drain réalisées ultérieurement.

Par ailleurs, une autre couche d'accrochage,
25 supplémentaire, peut être formée sur la structure après le traitement thermique. Une telle couche n'est pas représentée sur la figure pour des raisons de simplification.

La figure 18 montre la formation de la source
30 et du drain 146, 148 par dépôt et planage d'un métal.

On peut se reporter à ce sujet à la description qui précède, relative aux figures 8 et 13, par exemple.

Le planage a lieu avec arrêt sur la couche isolante 112 de sorte que la partie de la couche de métal 232 au-dessus de cette couche isolante est éliminée. Ceci permet d'isoler électriquement la source et le drain.

La réalisation de régions d'extension de source et de drain sous la forme de zones siliciurées n'est pas limitée au cas où le transistor est fabriqué sur un substrat de type silicium sur isolant. Elle peut également être envisagée pour un transistor fabriqué sur un substrat massif.

La figure 19 illustre une telle réalisation. On observe que les régions d'extension de source et de drain 116c, 118c sont également situées en partie sous la grille 120. De plus, un passage existe entre le canal 120, subsistant entre les régions 116c, 118c, et la partie massive du substrat 102. Le passage s'étend entre deux parties de la couche d'oxyde 105 situées respectivement sous les source et drain. Pour les autres éléments de la figure on peut se reporter à la description qui précède.

Comme indiqué dans la description qui précède, la gravure de la couche mince superficielle ou la gravure de la partie du substrat dans laquelle est formée le canal du transistor peuvent être avantageusement des gravures sélectives entre des régions présentant différentes concentrations de dopage. La partie de matériau devant être gravée est alors définie, par exemple, par une implantation

d'impuretés de forte dose. A ce sujet on peut se reporter à la description relative aux figures 5 et 6 ou aux figures 9 et 10.

Dans l'exemple de ces figures, l'implantation est effectuée avec une énergie assez faible de sorte que la concentration d'impuretés est maximale au voisinage de la surface. Il en résulte, comme le montrent les figures 6 et 10 que la couche d'isolant de grille est partiellement mise à nu lors de la gravure sur sa face tournée vers le substrat.

En revanche, lorsque l'implantation est réalisée avec une énergie plus grande, la concentration maximale d'impuretés est située plus en profondeur et il est possible de préserver du matériau semi-conducteur sur une partie plus grande de la face de la couche d'isolant de grille tournée vers le substrat.

On obtient ainsi, après gravure, une structure qui est par exemple celle représentée à la figure 20. En comparant cette structure avec celle de la figure 10, on observe que la région de canal présente désormais une corniche 121 qui s'étend sous l'ensemble de la couche d'isolant de grille.

La figure 21 montre un transistor fabriqué à partir de la structure de la figure 20 et dans lequel les régions d'extension de source et de drain sont formées par siliciuration. Le procédé de siliciuration est le même que celui décrit en référence aux figures 16 et 17.

On observe que les régions d'extension de source et de drain, formées par inter-diffusion partielle du métal de la couche de métal 232 avec le

silicium de la région de canal 120, s'étendent sur la partie de corniche qui est siliciurée entièrement ou presque entièrement. Elles s'étendent donc depuis le dessous de la grille 110, jusqu'au bord de la structure de grille 130. Grâce à la forme particulière des régions d'extension de source et de drain qui en résulte, la résistance d'accès au canal est encore améliorée et les performances en fréquence du transistor sont encore meilleures.

La figure 22 montre un autre transistor, toujours fabriqué à partir de la structure de la figure 20 et dans lequel les régions d'extension de source et de drain 116b, 118b sont formées par croissance de matériau. Le procédé de formation des extension par croissance, en tant que tel, est le même que celui décrit en référence à la figure 11. On observe que la région de canal présente toujours une corniche 121 sur laquelle le matériau des régions d'extension de source et de drains croît également.

Les références 132, 134 désignent respectivement une couche de siliciure formée sur les régions d'extension de source et de drain 116b, 118b, et une couche d'accrochage formée sur le reste de la structure. Il convient de préciser cependant que la couche de siliciure 132 de la figure 22 est différente du siliciure formé sur le canal conformément à la figure 21. En effet, sur la figure 22, la couche de siliciure 132 recouvre simplement les régions d'extension de source et de drain 116b, 118b tandis que sur la figure 21 le siliciure constitue les régions d'extension de source et de drain 116c, 118c.

La figure 23 montre encore un autre transistor dans lequel les régions d'extension de source et de drain 116a, 118a sont définies lors de la gravure du substrat conformément au procédé décrit en référence
5 aux figures 5 et 6.

Toutefois, l'implantation des impuretés dopantes, définissant la zone à éliminer lors de la gravure, est comme pour les applications illustrées par les figures 20 à 22, effectuée avec une profondeur
10 suffisante pour préserver une "corniche" 117 sous l'isolant de grille 114.

On peut observer sur la figure 23 que la "corniche" 117 est désormais formée non pas dans la région de canal, mais dans les régions d'extension de
15 source et de drain 116a, 118a.

Les références 132 et 134 désignent toujours une couche de siliciure, formée sur les régions d'extension de source et de drain, et une couche d'accrochage, à l'instar de la structure décrite en
20 référence à la figure 7.

Les procédés de fabrication illustrés par les figures 20 à 23 concernent des transistors réalisés sur un substrat de type silicium sur isolant.

Il est toutefois possible d'adapter ces
25 procédés à des transistors réalisés sur substrat massif. On peut se reporter à ce sujet aux figures précédentes 14, 15 et 19 ainsi qu'à la description qui s'y rapporte.

DOCUMENTS CITES**(1)**

FR-2 749 977 du 9/10/1998

5

(2)

10 "Extremely high selective etching of porous Si for
single etch-step band-and-etch-back SOI"

K. Sakaguchi et al., Extended abstracts of the 1994
International Conference on solid state devices and
materials, Yokohawa, 1994, p. 259-261

15

REVENDEICATIONS

1. Transistor à effet de champ comprenant :

- une région de canal (120) en un matériau semi-conducteur surmontée par une structure de grille (130), la structure de grille comprenant une grille (110) et des espaceurs isolants (122) tapissant ses flancs,
- des régions, dites régions d'extension de source et de drain (116a, 116b, 118a, 118b, 116c, 118c), situées respectivement de part et d'autre du canal, en contact direct avec le matériau semi-conducteur du canal, et disposées pour l'essentiel sous la structure de grille, les régions d'extension étant en un matériau non isolant,
- des régions de source et de drain (146, 148) en métal, respectivement en contact avec les régions d'extension de source et de drain et s'étendant en partie sous la structure de grille.

2. Transistor selon la revendication 1, dans lequel les régions de source et de drain sont en contact avec les régions d'extension de source et de drain, respectivement par l'intermédiaire d'une couche de siliciure de métal (132).

3. transistor selon la revendication 1, comprenant couche d'isolant (104) pour isoler électriquement le transistor d'une partie massive (102) d'un substrat de support (100).

4. Transistor selon la revendication 1 comprenant une couche d'isolant discontinue (105) séparant un ensemble formé par les régions de source et de drain et les régions d'extension de source et de

drain, d'une partie massive (102) d'un substrat supportant le transistor, le canal (120) étant en contact électrique avec ladite partie massive.

5 5. Procédé de fabrication sur un substrat d'un transistor à effet de champ comprenant :

- une région de canal (120) en un matériau semi-conducteur, surmontée par une structure de grille (130), la structure de grille comprenant une grille (110) et des espaceurs isolant (122) tapissant des
10 flancs de la grille,

- des régions (116a, 116b), dites régions d'extension de source et de drain en un matériau non isolant situées respectivement de part et d'autre du canal, en contact direct avec le matériau semi-conducteur
15 du canal et s'étendant pour l'essentiel sous la structure de grille,

- des régions de source et de drain (146, 148), en métal, respectivement en contact avec les régions d'extension de source et de drain,

20 le procédé comportant au moins une étape de gravure du substrat pour définir une partie du transistor sélectionnée parmi, d'une part, la région de canal (120), et d'autre part, les régions d'extension de source et de drain (116a, 116b), la gravure s'étendant
25 partiellement sous la structure de grille.

6. Procédé selon la revendication 5, comprenant :

- la formation sur un substrat semi-conducteur d'une grille (110), séparée du substrat par une couche
30 d'isolant de grille (114),

- l'implantation d'impuretés dopantes dans le substrat, à une première dose, en utilisant la grille comme masque d'implantation, pour former de part et d'autre de la grille des premières zones dopées (116, 118),
5
- la formation sur les flancs de grille des espaceurs latéraux isolants (122), recouvrant respectivement une partie des premières zones dopées (116, 118), pour constituer la structure de grille (130),
10
- la gravure du substrat pour éliminer des zones dopées non protégées par la structure de grille et éliminer une partie des premières zones dopées sous la structure de grille, une partie restante (116a, 118a) des premières zones dopées, préservées lors de
15 la gravure, constituant les régions d'extension de source et de drain,
- la formation des source et drain (146, 148), comprenant le dépôt d'un métal qui vient respectivement en contact avec les régions
20 d'extension de source et de drain sous la structure de grille.

7. Procédé selon la revendication 6, dans lequel, après la formation des espaceurs latéraux, on effectue un second dopage à une dose supérieure à la
25 première dose en utilisant la structure de grille (130) comme masque d'implantation pour former des deuxièmes zones dopées (126, 128) s'étendant de part et d'autre de la structure de grille et partiellement sous la structure de grille, et dans lequel on effectue une
30 gravure sélective des deuxièmes zones dopées, en préservant une partie (116a, 118a) des premières zones

dopées sous la structure de grille, non atteintes par le second dopage.

8. Procédé selon la revendication 7, dans lequel le deuxième dopage est effectué par implantation
5 de germanium et/ou de bore et/ou de carbone.

9. Procédé selon la revendication 7, dans lequel on réalise sous la grille une extension de la région de canal en forme de corniche.

10. Procédé selon la revendication 6, dans lequel la gravure est suivie par la formation sur une
10 partie des régions d'extension de source et de drain, respectivement mises à nu par la gravure, d'une couche (132) de siliciure de métal.

11. Procédé selon la revendication 10,
15 comprenant en outre la formation d'une couche d'accrochage métallique (134) en dehors des régions d'extension de source et de drain.

12. Procédé de fabrication d'un transistor selon la revendication 6, sur un substrat du type
20 silicium sur isolant présentant une couche mince superficielle (106) de silicium et une couche enterrée (104) d'oxyde de silicium, dans lequel le canal (120) et les régions d'extension de source et de drain (116a, 118a) sont formées dans la couche mince superficielle
25 de silicium et dans lequel la gravure des zones dopées a lieu avec arrêt de gravure sur la couche enterrée d'oxyde de silicium et les matériaux de la structure de grille 130.

13. Procédé de fabrication d'un transistor selon la revendication 5, sur un substrat de silicium massif comprenant la formation d'une couche d'oxyde de silicium (105) en surface du substrat après l'étape de gravure, de part et d'autre de la grille, la couche d'oxyde de silicium s'étendant au moins en partie sous les régions d'extension de source et de drain.

14. Procédé selon la revendication 5, comprenant :

- 10 - la formation sur un substrat (100) d'une structure de grille (150) comprenant une grille (110) et des espaceurs latéraux isolants (112), tapissant la grille,
- 15 - la gravure d'une partie du substrat de part et d'autre de la structure grille, et partiellement sous la structure de grille, en préservant sous la grille une région du substrat formant la région de canal (120),
- 20 - la mise en place de matériau sur des flancs opposés de la région de canal pour former respectivement les régions d'extension de source et de drain (116b, 118b),
- 25 - la formation des source et drain (146, 148), comprenant le dépôt d'un métal en contact avec les régions d'extension de source et de drain.

15. Procédé selon la revendication 14, dans lequel pour former les régions d'extension de source et de drain, on fait croître un matériau choisi parmi Si, SiGeC, un métal ou un oxyde de métal.

30 16. Procédé selon la revendication 14, dans lequel, pour former les régions d'extension de source

et de drain, on dépose sur les flancs du canal un métal susceptible d'une siliciuration sélective, et on provoque une interdiffusion partielle du métal avec le matériau du canal.

5 17. Procédé selon la revendication 14, dans lequel, avant la gravure, on effectue une implantation d'impuretés dans le substrat pour doper une couche du substrat s'étendant de part et d'autre de la structure de grille et s'étendant partiellement sous la structure
10 de grille, de façon à ne préserver du dopage qu'une région destinée à former la région de canal, et dans lequel on effectue une gravure sélective pour éliminer la couche ainsi dopée du substrat.

 18. Procédé selon la revendication 14, dans
15 lequel, après la formation des régions d'extension de source et de drain, on recouvre ces régions d'une couche de siliciure de métal (132).

 19. Procédé selon la revendication 14, dans lequel avant la formation des source et drain on forme
20 une couche d'accrochage (134) en dehors des régions d'extension de source et de drain.

 20. Procédé selon la revendication 14, dans lequel, on réalise sous la grille une extension de la région de canal sous la forme d'une corniche.

25 21. Procédé selon la revendication 20, dans lequel on effectue une siliciuration de l'extension de la région de canal et des flancs de la région de canal, pour former les régions d'extension de source et de drain.

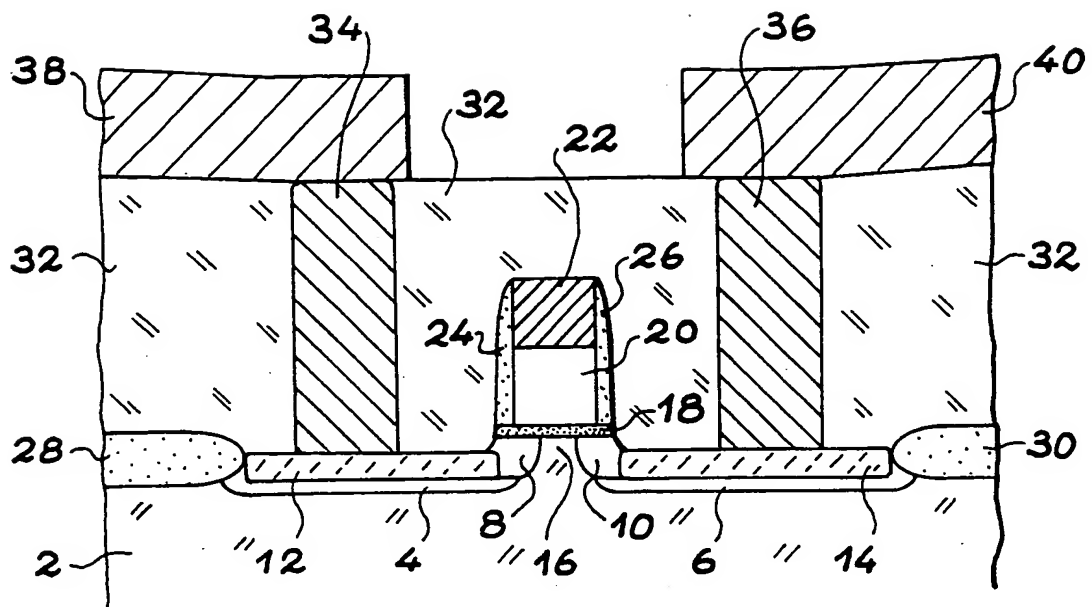


FIG. 1

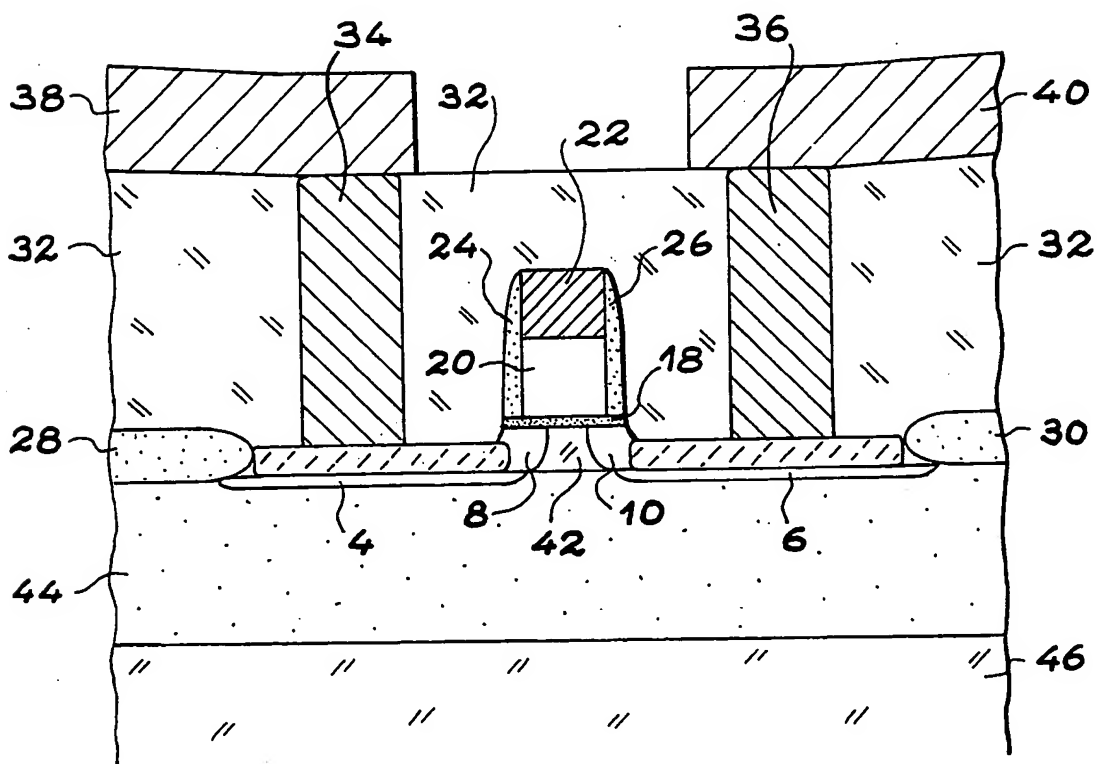


FIG. 2

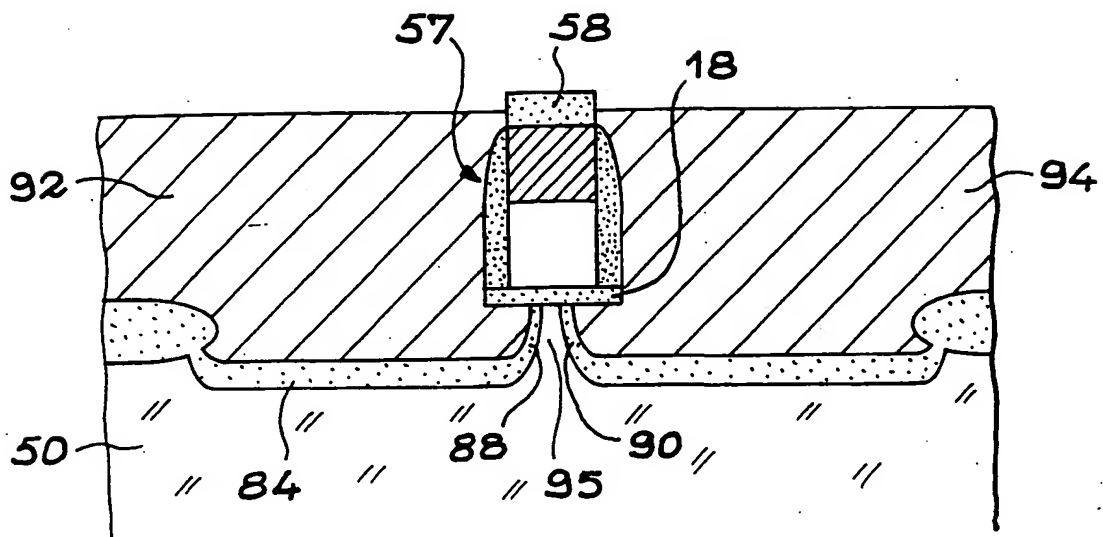


FIG. 3

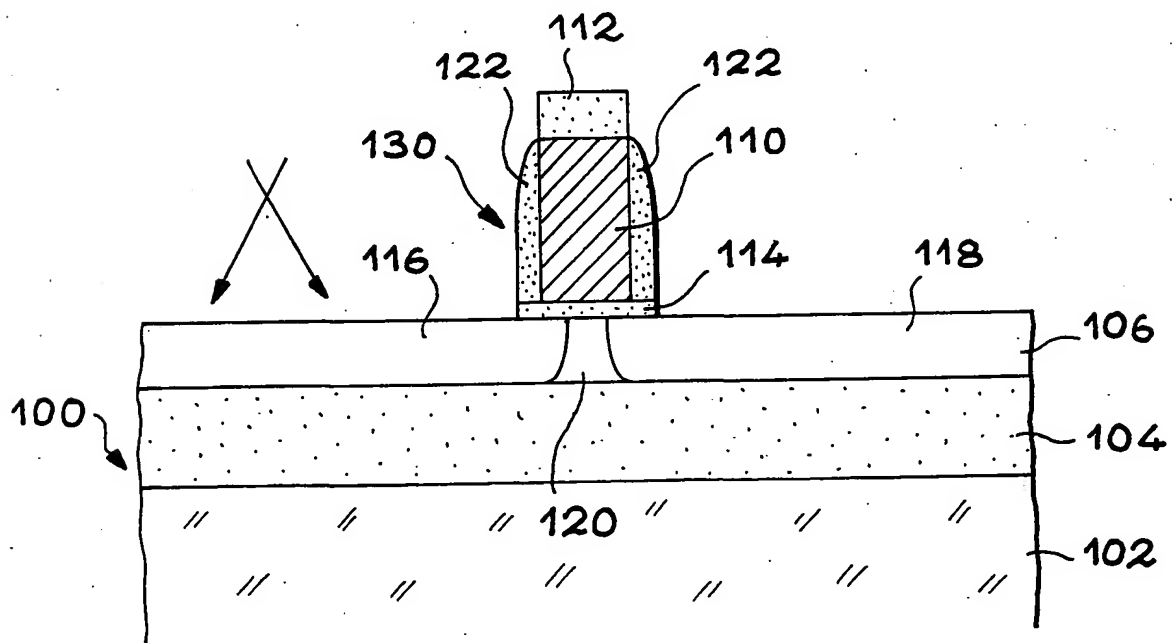


FIG. 4

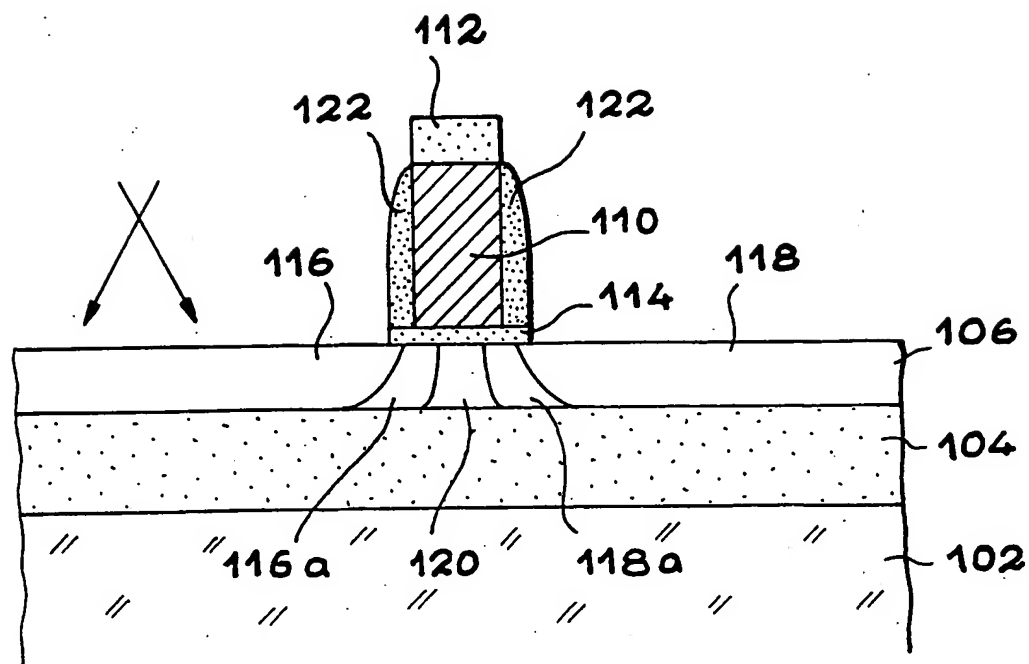


FIG. 5

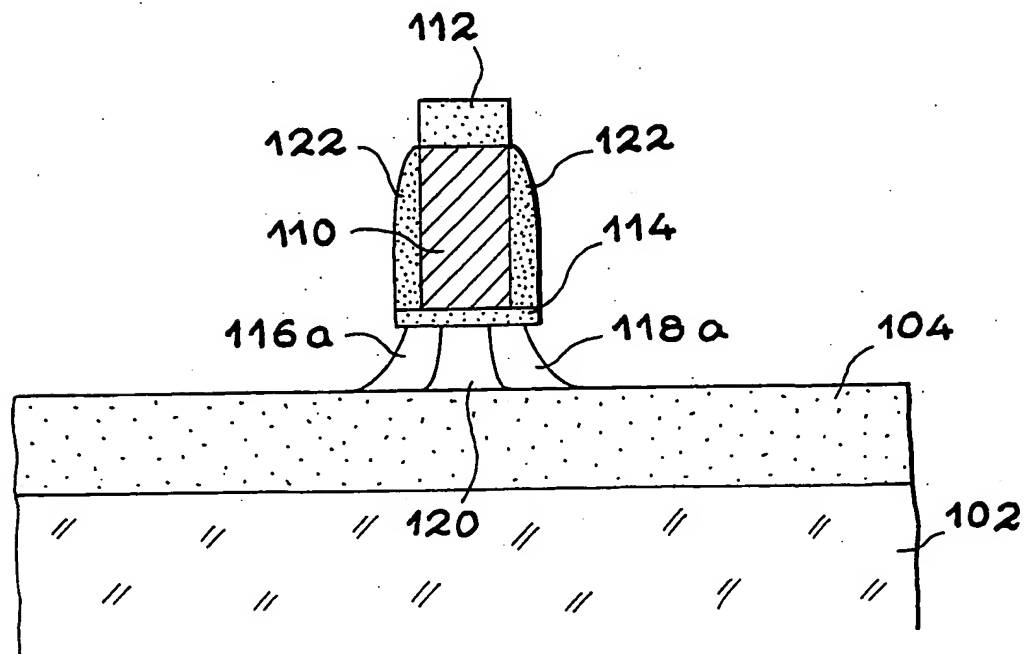


FIG. 6

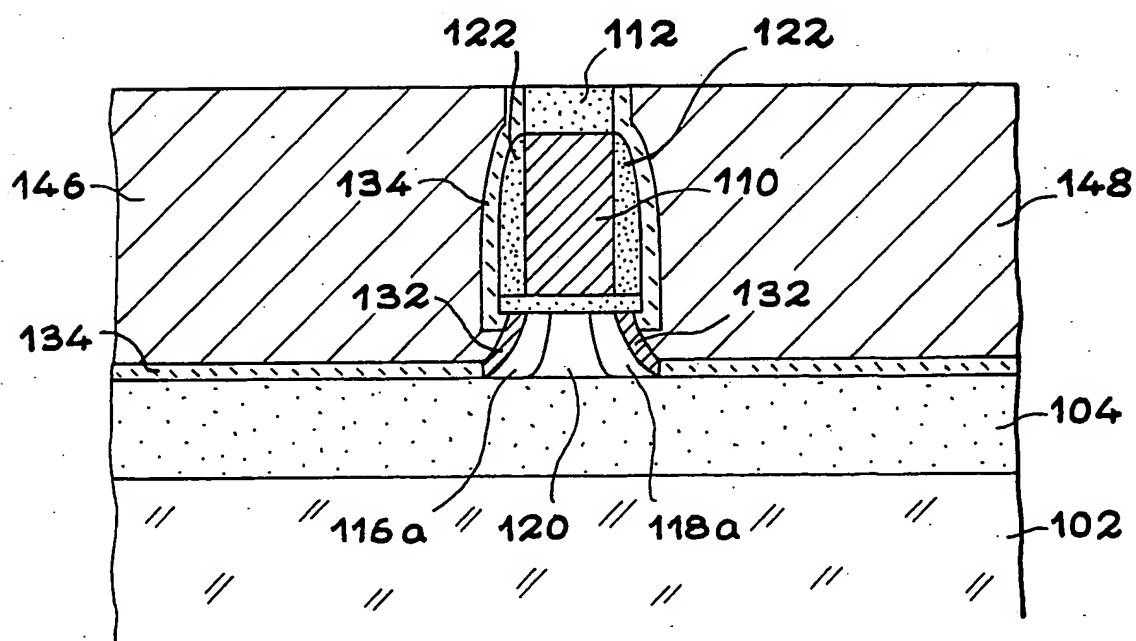
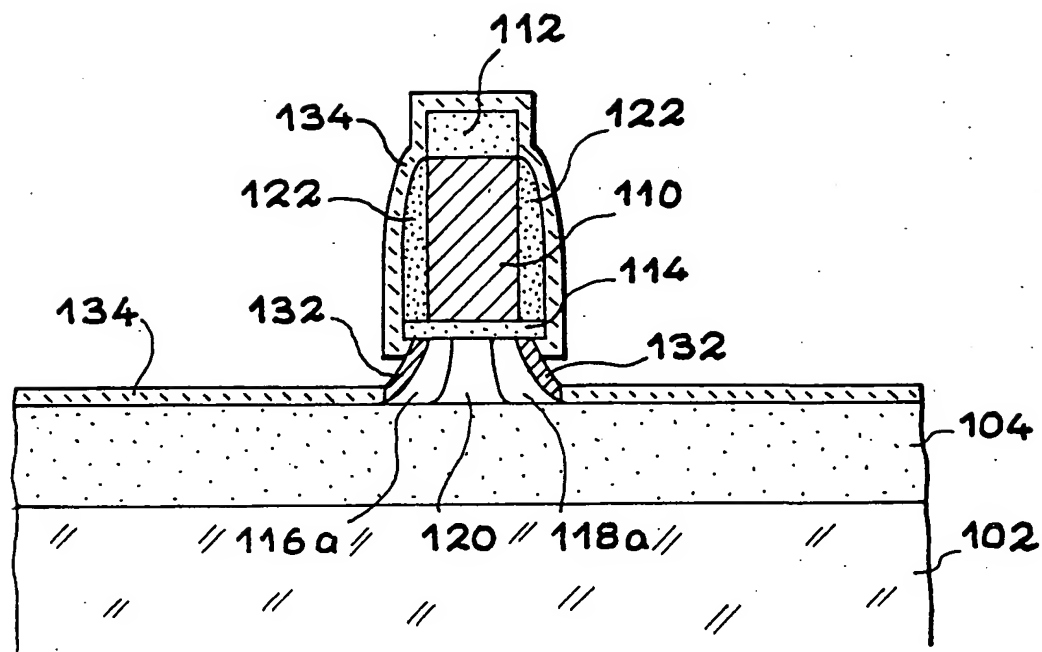




FIG. 9



FIG. 10

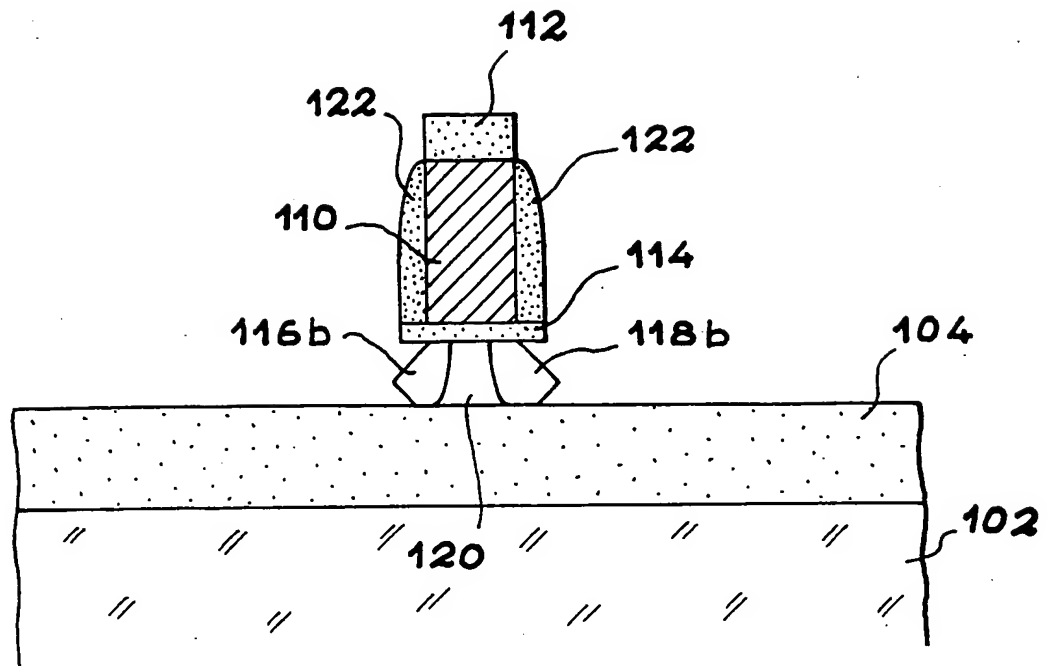


FIG. 11

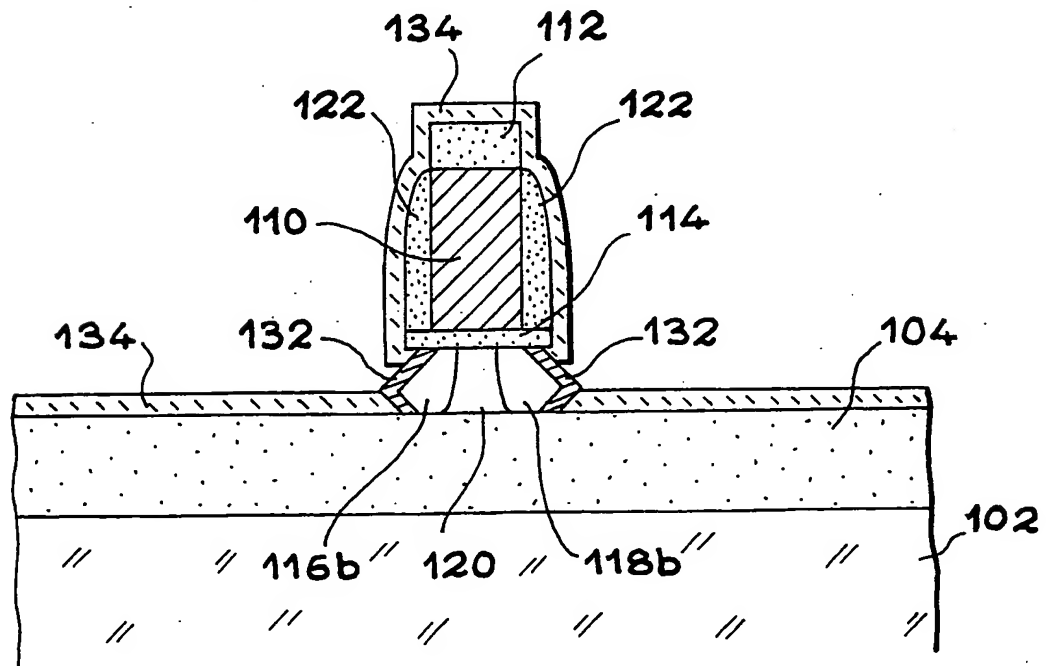


FIG. 12

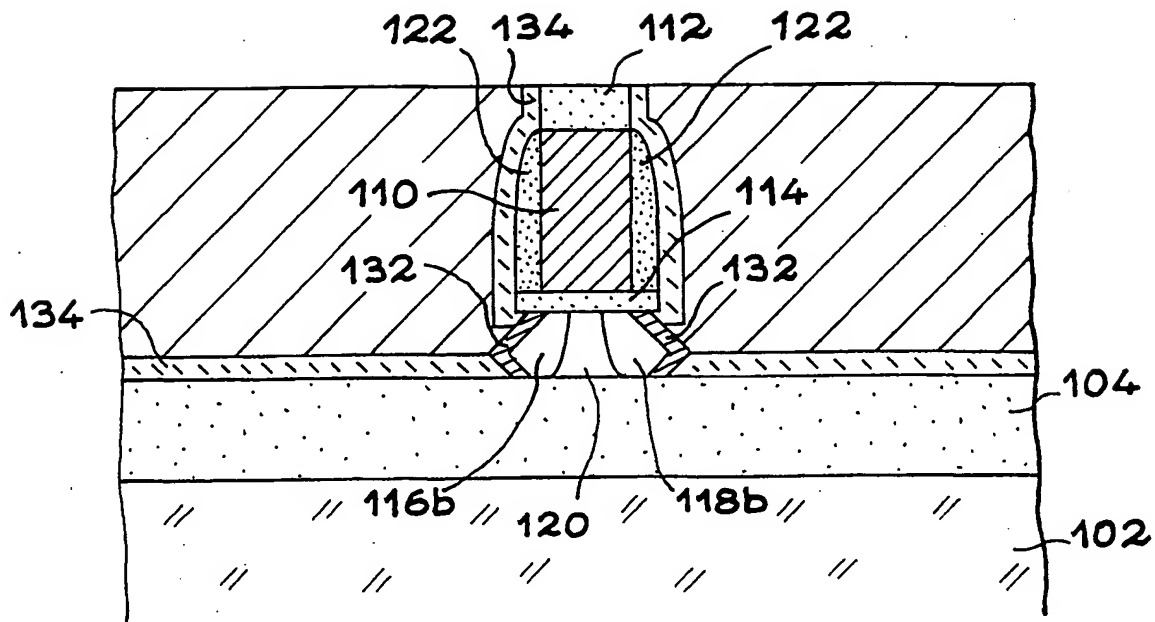


FIG. 13

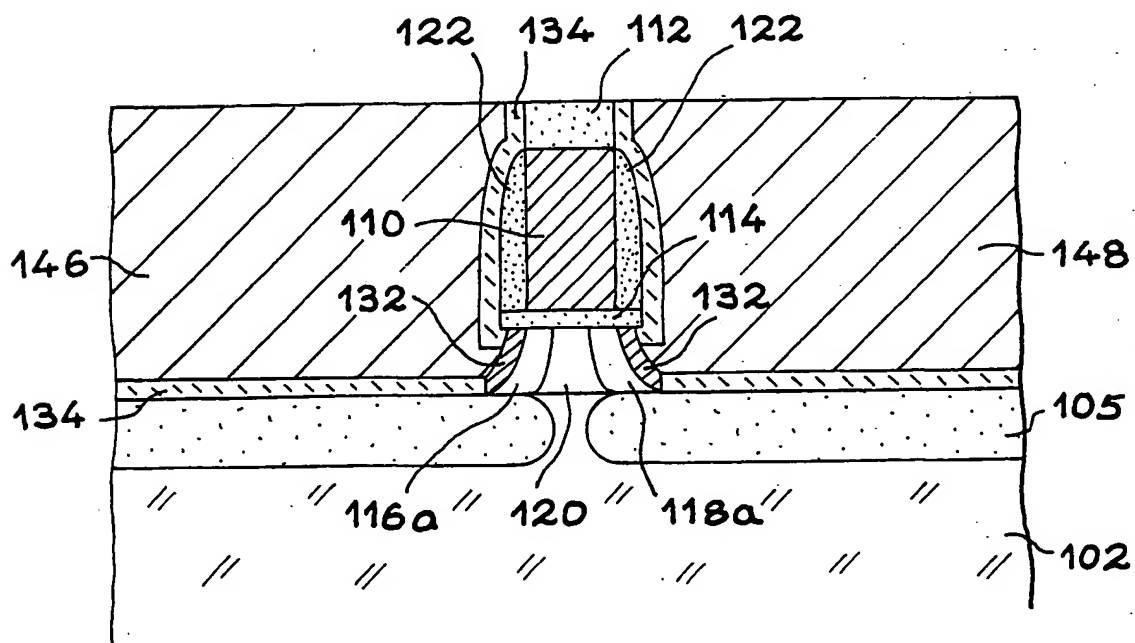


FIG. 14

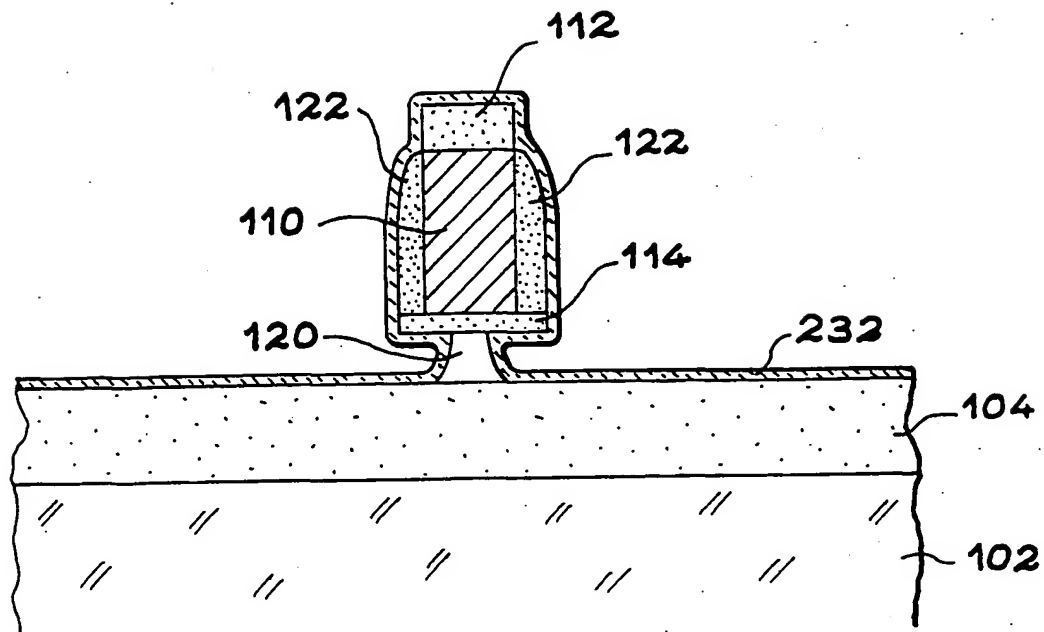


FIG. 16

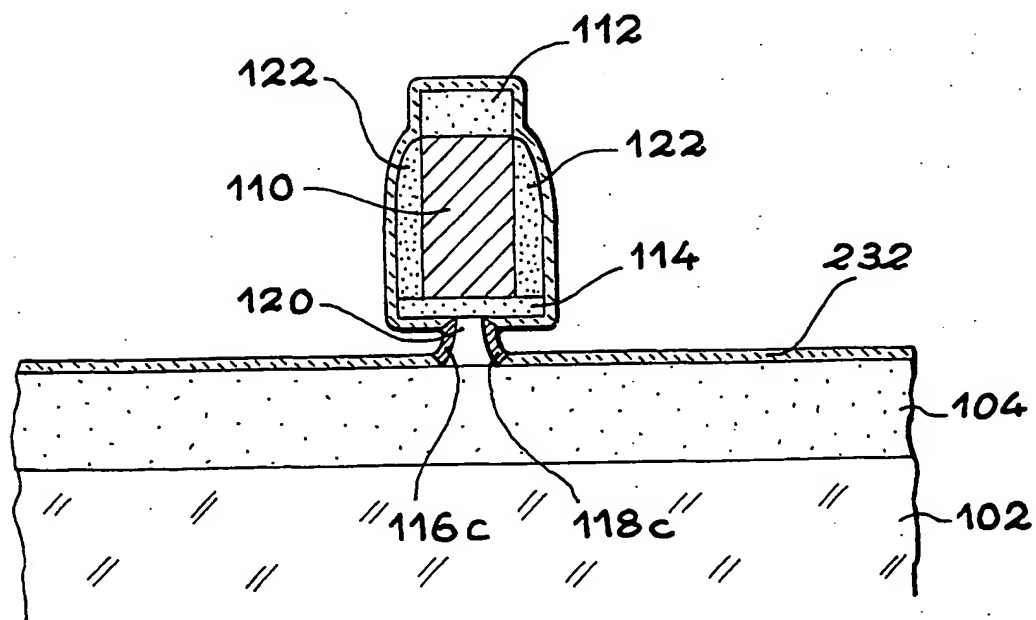


FIG. 17

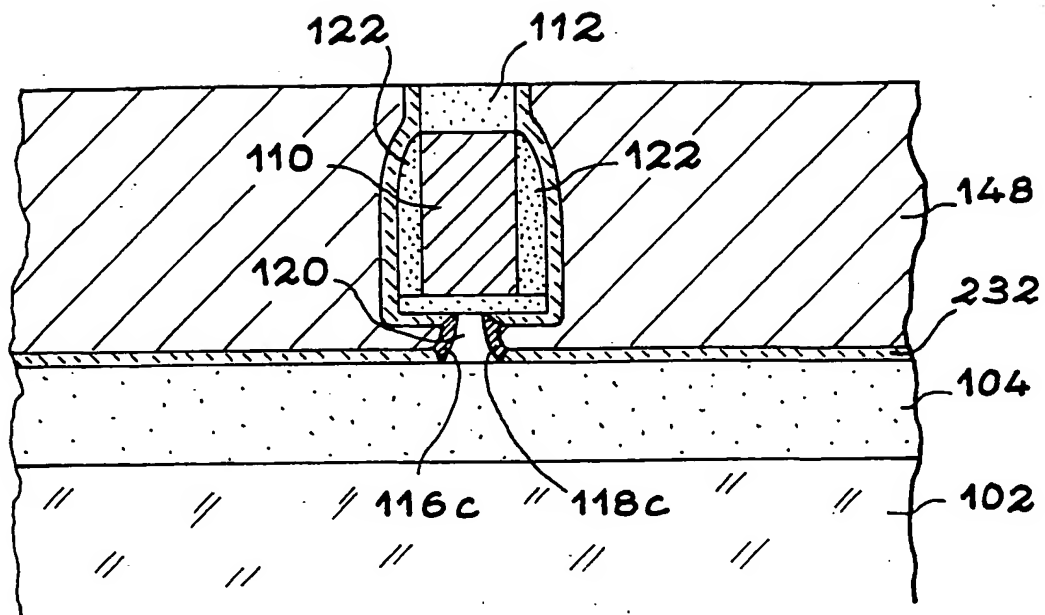


FIG. 18

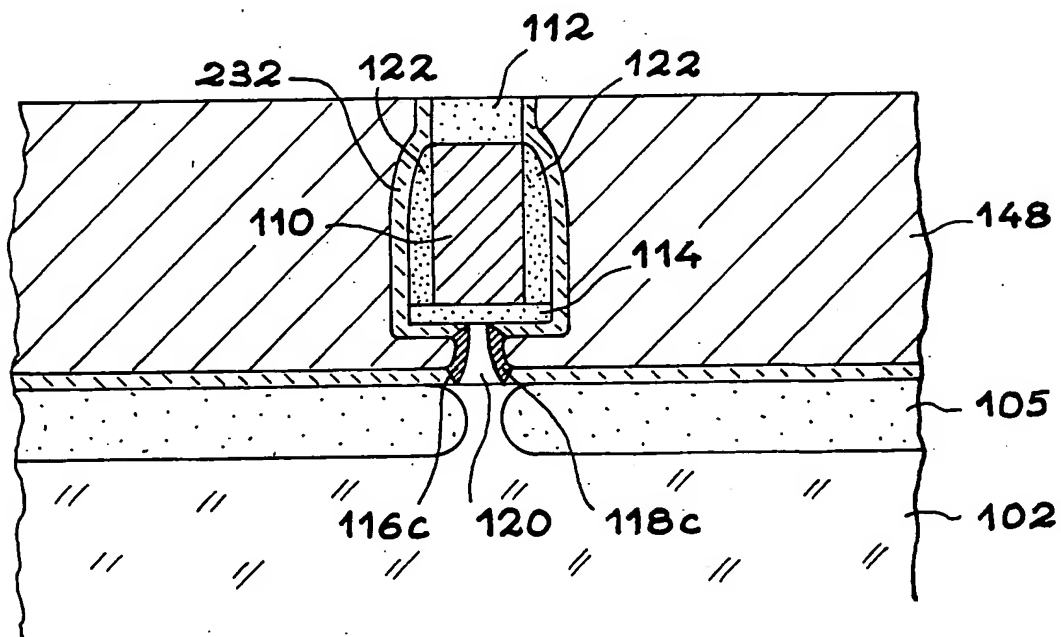


FIG. 19

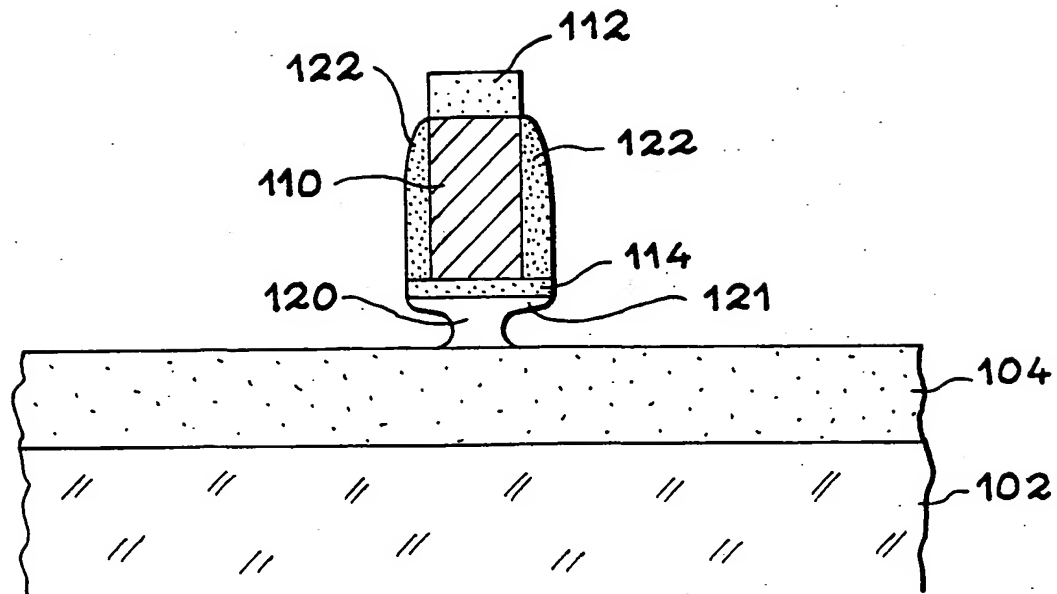


FIG. 20

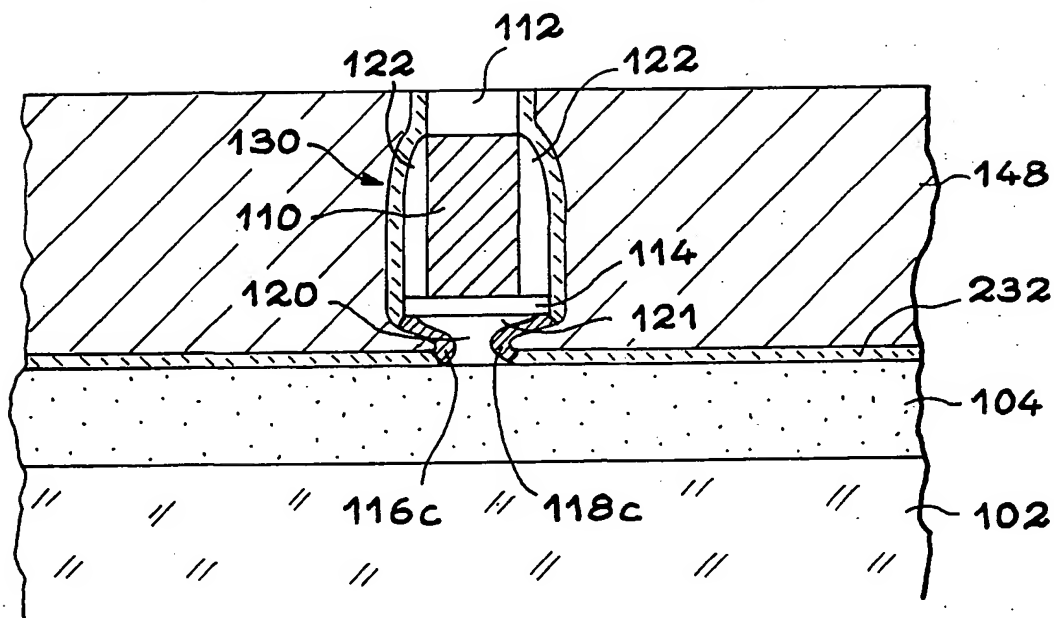


FIG. 21

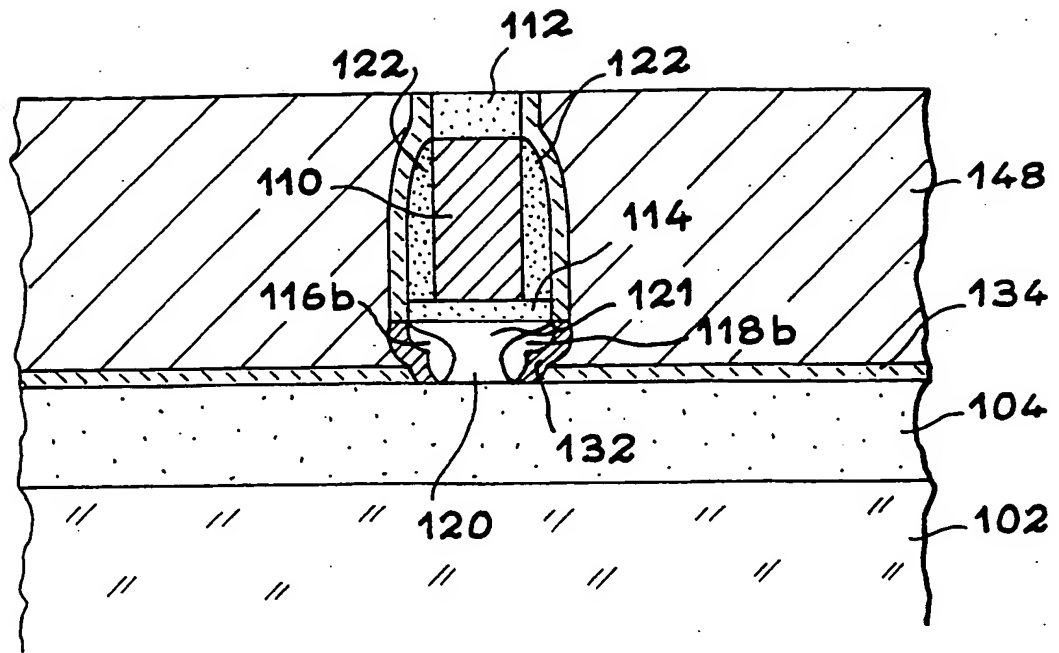


FIG. 22

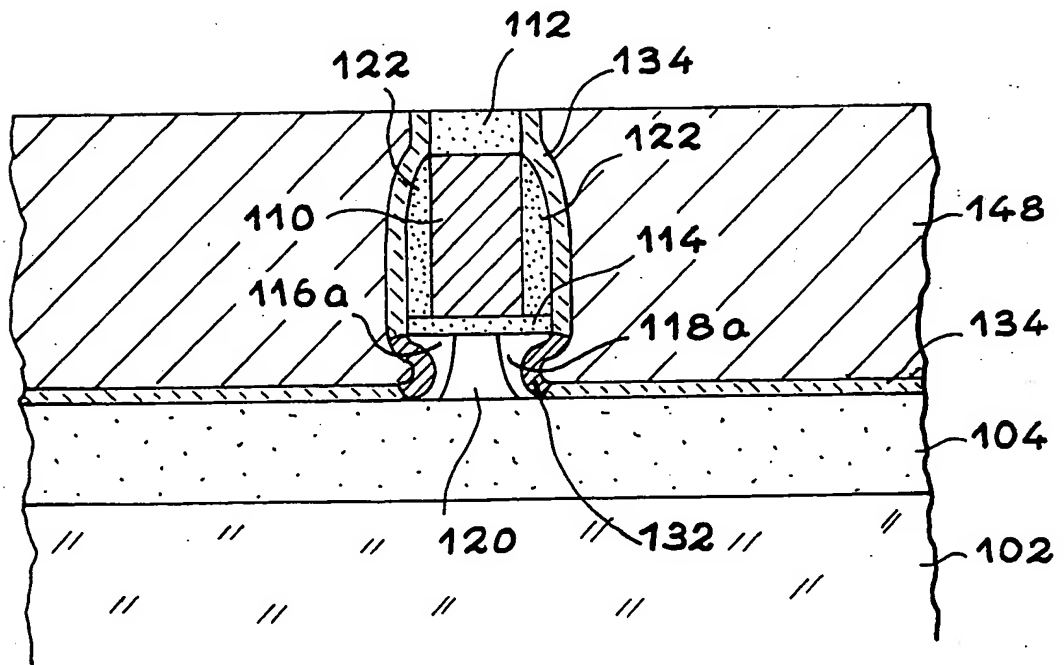


FIG. 23

INTERNATIONAL SEARCH REPORT

International Application No

PCT/FR 01/00841

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 H01L29/786 H01L21/336

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5 698 869 A (MATSUSHITA YOSHIAKI ET AL) 16 December 1997 (1997-12-16)	1,3,5,6, 12,14, 18-21
Y	figures 12A-12C,33A-33C	4,10,11, 13,15,16
A	---	7-9,17
X	US 5 864 161 A (MITANI YUICHIRO ET AL) 26 January 1999 (1999-01-26)	1-3,5
Y		10,11, 15,16
A	figures 30A-30E,33A-33E	17
Y	US 5 132 755 A (UENO MASUhide) 21 July 1992 (1992-07-21) column 14, line 51; figure 2B	4,13

	---/---	

☒ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents:

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

- *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone.
- *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- *Z* document member of the same patent family

Date of the actual completion of the international search

30 May 2001

Date of mailing of the international search report

07/06/2001

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Juhl, A

INTERNATIONAL SEARCH REPORT

International Application No
PCT/FR 01/00841

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	FR 2 749 977 A (COMMISSARIAT ENERGIE ATOMIQUE) 19 December 1997 (1997-12-19) cited in the application page 12, line 25 - line 35; figures 3,4 -----	7-9, 17
A	US 5 532 175 A (RACANELLI MARCO ET AL) 2 July 1996 (1996-07-02) figure 5 -----	1

INTERNATIONAL SEARCH REPORT

information on patent family members

International Application No

PCT/FR 01/00841

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 5698869 A	16-12-1997	JP 8213622 A CN 1123470 A,B DE 19533754 A	20-08-1996 29-05-1996 14-03-1996
US 5864161 A	26-01-1999	JP 8153688 A	11-06-1996
US 5132755 A	21-07-1992	JP 3129742 A KR 9609991 B	03-06-1991 25-07-1996
FR 2749977 A	19-12-1997	EP 0852814 A WO 9748135 A JP 11510967 T US 6091076 A	15-07-1998 18-12-1997 21-09-1999 18-07-2000
US 5532175 A	02-07-1996	EP 0739031 A JP 9121058 A	23-10-1996 06-05-1997

RAPPORT DE RECHERCHE INTERNATIONALE

Des. Internationale No
PCT/FR 01/00841

A. CLASSEMENT DE L'OBJET DE LA DEMANDE
CIB 7 H01L29/786 H01L21/336

Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB

B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE

Documentation minimale consultée (système de classification suivi des symboles de classement)
CIB 7 H01L

Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche

Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si réalisable, termes de recherche utilisés)

EPO-Internal

C. DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie *	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
X	US 5 698 869 A (MATSUSHITA YOSHIKI ET AL) 16 décembre 1997 (1997-12-16)	1,3,5,6, 12,14, 18-21
Y	figures 12A-12C, 33A-33C	4,10,11, 13,15,16
A	---	7-9,17
X	US 5 864 161 A (MITANI YUICHIRO ET AL) 26 janvier 1999 (1999-01-26)	1-3,5
Y		10,11, 15,16
A	figures 30A-30E, 33A-33E	17
Y	US 5 132 755 A (UENO MASUhide) 21 juillet 1992 (1992-07-21) colonne 14, ligne 51; figure 2B ---	4,13
	-/--	

☒ Voir la suite du cadre C pour la fin de la liste des documents

☒ Les documents de familles de brevets sont indiqués en annexe

* Catégories spéciales de documents cités:

- *A* document définissant l'état général de la technique, non considéré comme particulièrement pertinent
- *E* document antérieur, mais publié à la date de dépôt international ou après cette date
- *L* document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)
- *O* document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens
- *P* document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée

T document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention

X document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément

Y document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier

Z document qui fait partie de la même famille de brevets

Date à laquelle la recherche internationale a été effectivement achevée

30 mai 2001

Date d'expédition du présent rapport de recherche internationale

07/06/2001

Nom et adresse postale de l'administration chargée de la recherche internationale

Office Européen des Brevets, P.B. 5618 Patentlaan 2
NL - 2280 HV Rijswijk
Tel (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax (+31-70) 340-3016

Fonctionnaire autorisé

Juhl, A

RAPPORT DE RECHERCHE INTERNATIONALE

De Internationale No
PCT/FR 01/00841

C.(suite) DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	FR 2 749 977 A (COMMISSARIAT ENERGIE ATOMIQUE) 19 décembre 1997 (1997-12-19) cité dans la demande page 12, ligne 25 - ligne 35; figures 3,4 -----	7-9, 17
A	US 5 532 175 A (RACANELLI MARCO ET AL) 2 juillet 1996 (1996-07-02) figure 5 -----	1

RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs aux membres de familles de brevets

De... Internationale No

PCT/FR 01/00841

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 5698869 A	16-12-1997	JP 8213622 A CN 1123470 A,B DE 19533754 A	20-08-1996 29-05-1996 14-03-1996
US 5864161 A	26-01-1999	JP 8153688 A	11-06-1996
US 5132755 A	21-07-1992	JP 3129742 A KR 9609991 B	03-06-1991 25-07-1996
FR 2749977 A	19-12-1997	EP 0852814 A WO 9748135 A JP 11510967 T US 6091076 A	15-07-1998 18-12-1997 21-09-1999 18-07-2000
US 5532175 A	02-07-1996	EP 0739031 A JP 9121058 A	23-10-1996 06-05-1997